

## CIRCUIT ARRANGEMENT FOR MEASUREMENT OR DETECTION OF CURRENT

**Patent number:** WO03052433

**Publication date:** 2003-06-26

**Inventor:** JOOS ULRICH (DE)

**Applicant:** CONTI TEMIC MICROELECTRONIC (DE); JOOS ULRICH (DE)

**Classification:**

- **international:** G01R19/00; G01R19/00; (IPC1-7): G01R19/00

- **european:** G01R19/00G

**Application number:** WO2002EP12314 20021105

**Priority number(s):** DE20011061760 20011215

**Also published as:**



WO03052433 (A3)



DE10161760 (A1)

**Cited documents:**



US5378998



US4573019

[Report a data error here](#)

### Abstract of WO03052433

A circuit arrangement for current detection conventionally comprises a current mirror arrangement with two mirror transistors in the emitter circuit and a measuring resistance connected between the emitters of the mirror transistors. The current mirror arrangement converts a given reference current flowing through the first mirror transistor into a mirror current flowing through the second mirror transistor. A measuring current for detection is passed through the measuring resistance and generates a voltage drop across the same influenced by the mirror current. The current for measuring can thus be detected by determining the mirror current. A disadvantage is that the above circuit arrangement gives imprecise results. The aim of the invention is for the novel circuit arrangement to avoid the above disadvantage. Said aim is achieved whereby the novel circuit arrangement comprises an output transistor connected in series to the second mirror transistor in a cascade circuit, from which an output voltage representative of the current measurement or current detection is decoupled. Applied to measurement of currents in supply lines.

---

Data supplied from the **esp@cenet** database - Worldwide



⑯ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑯ Offenlegungsschrift  
⑯ DE 101 61 760 A 1

⑯ Int. Cl. 7:  
G 01 R 19/00  
G 05 F 3/26

DE 101 61 760 A 1

⑯ Aktenzeichen: 101 61 760.7  
⑯ Anmeldetag: 15. 12. 2001  
⑯ Offenlegungstag: 10. 7. 2003

⑯ Anmelder:  
Conti Temic microelectronic GmbH, 90411  
Nürnberg, DE

⑯ Erfinder:  
Joos, Ulrich, Dipl.-Ing.(FH), 88149 Nonnenhorn, DE  
⑯ Für die Beurteilung der Patentfähigkeit in Betracht  
zu ziehende Druckschriften:

DE 195 21 907 C2  
DE 41 07 415 C2  
DE 198 44 465 A1  
DE 43 36 726 A1  
US 54 98 984  
EP 07 78 647 A2

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

Prüfungsantrag gem. § 44 PatG ist gestellt

⑯ Schaltungsanordnung zur Strommessung oder Stromdetektion

⑯ Eine Schaltungsanordnung zur Stromdetektion umfaßt üblicherweise eine Stromspiegelanordnung mit zwei Spiegeltransistoren in Emitterschaltung und mit einem zwischen die Emitter der Spiegeltransistoren geschalteten Meßwiderstand. Die Stromspiegelanordnung setzt dabei einen durch den ersten Spiegeltransistor fließenden vorgegebenen Referenzstrom in einen durch den zweiten Spiegeltransistor fließenden Spiegelstrom um. Ein zu detektierender Meßstrom wird über den Meßwiderstand geführt und bewirkt an diesem einen den Spiegelstrom beeinflussenden Spannungsabfall. Der Meßstrom läßt sich damit durch Auswertung des Spiegelstroms detektieren. Als nachteilig erweist sich hierbei, daß die Schaltungsanordnung ungenaue Ergebnisse liefert. Die neue Schaltungsanordnung soll diese Nachteile vermeiden.

Die neue Schaltungsanordnung weist hierzu einen Ausgangstransistor auf, der in Kaskodenschaltung zum zweiten Spiegeltransistor in Reihe geschaltet ist und über den eine das Ergebnis der Strommessung oder Stromdetektion repräsentierende Ausgangsspannung auskoppelt wird.

Messung von Strömen in Versorgungsleitungen.

DE 101 61 760 A 1

## Beschreibung

[0001] Die Erfindung betrifft ein eine Schaltungsanordnung zur Strommessung oder Stromdetektion gemäß dem Oberbegriff des Patentanspruchs 1.

[0002] Eine derartige Schaltungsanordnung ist beispielsweise aus der DE 196 20 564 C1 bekannt. Die bekannte Schaltungsanordnung umfaßt eine Stromspiegelanordnung mit zwei Spiegeltransistoren in Emitterschaltung und mit einem zwischen die Emitter der Spiegeltransistoren geschalteten Meßwiderstand. Die Stromspiegelanordnung setzt dabei einen durch den ersten Spiegeltransistor fließenden vorgegebenen Referenzstrom in einen durch den zweiten Spiegeltransistor fließenden Spiegelstrom um. Der zu detektierende Strom wird dabei über den Meßwiderstand geführt und bewirkt an diesem einen Spannungsabfall, der das Spiegelverhältnis der Stromspiegelanordnung und somit den Spiegelstrom beeinflußt. Durch Auswertung des Spiegelstroms läßt sich damit ein durch den Meßwiderstand fließender Strom detektieren. Als nachteilig erweist sich hierbei, daß die Schaltungsanordnung ungenaue Ergebnisse liefert.

[0003] Der Erfindung liegt daher die Aufgabe zugrunde eine Schaltungsanordnung gemäß dem Oberbegriff des Patentanspruchs 1 anzugeben, die kostengünstig herstellbar ist und mit der Ströme mit hoher Genauigkeit meßbar oder detektierbar sind.

[0004] Die Aufgabe wird durch die Merkmale des Patentanspruchs 1 gelöst. Vorteilhafte Ausgestaltungen und Weiterbildungen ergeben sich aus den Unteransprüchen.

[0005] Die erfindungsgemäße Schaltungsanordnung weist eine Stromspiegelanordnung mit einem ersten und einem zweiten Spiegeltransistor, einem Meßwiderstand und einem Ausgangstransistor auf, wobei die Spiegeltransistoren Basis-Emitter-Strecken oder Gate-Source-Strecken als Steuerstrecken aufweisen, der Meßwiderstand in einem die Steuerstrecken der Spiegeltransistoren umfassenden Stromkreis liegt und der Ausgangstransistor in Kaskodenschaltung zum zweiten Spiegeltransistor in Reihe geschaltet ist. Der erste Spiegeltransistor wird dabei mit einem vorgegebenen Referenzstrom bestromt. Dieser wird durch Stromspiegelung nach Maßgabe eines Spiegelverhältnisses der Stromspiegelanordnung in einen durch den zweiten Spiegeltransistor fließenden Spiegelstrom umgesetzt. Der zu messende oder zu detektierende Meßstrom wird über den Meßwiderstand geführt und bewirkt an diesem einen Spannungsabfall, der das Spiegelverhältnis der Stromspiegelanordnung und damit den Spiegelstrom beeinflußt. Der Spiegelstrom ist daher sowohl von dem vorgegebenen und damit bekannten Referenzstrom als auch vom Meßstrom abhängig. Er wird über den Ausgangstransistor abgeführt und durch die Kaskoden-Schaltung in eine an ihrem Ausgang anstehende Ausgangsspannung umgesetzt. Die Ausgangsspannung repräsentiert dabei das Ergebnis der Stromdetektion oder Strommessung.

[0006] Der Ausgangstransistor bewirkt eine Erhöhung der Bandbreite der Schaltungsanordnung. Damit wird eine genaue Stromdetektion oder Strommessung auch bei sich schnell ändernden Meßströmen gewährleistet.

[0007] Vorzugsweise weist die Schaltungsanordnung Offseteinstellmittel auf, die zur Vorgabe eines Offsetes der Ausgangsspannung, d. h. zur Festlegung der Nullpunktverschiebung der Ausgangsspannung vorgesehen sind. Damit ist es möglich, eine den Zusammenhang zwischen der Ausgangsspannung und dem Meßstrom darstellende Ausgangskennlinie für den jeweiligen Anwendungsfall zu optimieren.

[0008] In einer vorteilhaften Ausgestaltung der erfindungsgemäßen Schaltungsanordnung weist die Stromspiegelanordnung einen Offsetwiderstand als Offseteinstellmittel auf. Der Offsetwiderstand liegt dabei im Strompfad des

Referenzstroms und bewirkt aufgrund der an ihm abfallenden Spannung einen Potentialversatz zwischen den Steueranschlüssen der Spiegeltransistoren derart, daß der erste Spiegeltransistor stärker aufgesteuert wird als der zweite Spiegeltransistor. Die Steueranschlüsse der Spiegeltransistoren, d. h. ihre Basis- oder Gateanschlüsse, sind hierzu jeweils an einen Anschluß des Offsetwiderstands angeschlossen.

[0009] In einer weiteren vorteilhaften Ausgestaltung der erfindungsgemäßen Schaltungsanordnung umfassen die Offseteinstellmittel eine Offsetstromquelle, die mit dem Ausgangsanschluß der Kaskodenschaltung verbunden ist und somit eine die Ausgangsspannung beeinflussende Last darstellt. Vorzugsweise ist die Offsetstromquelle steuerbar, so daß während des Betriebs eine bedarfsabhängige Offseteinstellung vorgenommen werden kann. Selbstverständlich sind auch Offseteinstellmittel denkbar, die sowohl eine Offsetstromquelle als auch einen Offsetwiderstand umfassen.

[0010] Vorzugsweise ist im Strompfad des Referenzstroms ein Steuerwiderstand vorgesehen, über den der Steueranschluß des Ausgangstransistors mit dem Steueranschluß des ersten Spiegeltransistors verbunden ist. Hierdurch erreicht man eine Reduzierung der Gleichtaktunterdrückung der Schaltungsanordnung. Alternativ kann dem Steueranschluß des Ausgangstransistors eine konstante Referenzspannung zugeführt werden.

[0011] Die Spiegeltransistoren und der Ausgangstransistor sind vorzugsweise als Bipolartransistoren ausgeführt, wobei die Spiegeltransistoren vorzugsweise gleich ausgeführt sind.

[0012] Die wesentlichen Vorteile der Erfindung liegen darin, daß die Ausgangsspannung eine nahezu lineare Abhängigkeit von dem Meßstrom aufweist, daß sie nahezu unabhängig von Welligkeiten der an den Anschlüssen des Meßwiderstands anstehenden Spannungen ist, daß ihr Offset durch die Dimensionierung der Bauteile in weiten Grenzen einstellbar und damit für unterschiedliche Anwendungsfälle optimierbar ist und daß ihre Anstiegszeit gering ist, was sich vorteilhaft auf die Reaktionsgeschwindigkeit der Schaltungsanordnung auswirkt.

[0013] Die erfindungsgemäße Schaltungsanordnung eignet sich bestens zur Messung von Strömen in Versorgungsleitungen. Die Messung kann des weiteren zum Zwecke der Regelung der Ausgangsleistung eines Schaltungsteils, zur Diagnose des Schaltungsteils oder zum Schutz des Schaltungsteils vor zu hohen Strömen erfolgen.

[0014] Die Erfindung wird nachfolgend anhand von Ausführungsbeispielen und Figuren näher beschrieben. Es zeigen:

[0015] Fig. 1 ein erstes Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung,

[0016] Fig. 2 ein zweites Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung,

[0017] Fig. 3 ein drittes Ausführungsbeispiel der erfindungsgemäßen Schaltungsanordnung.

[0018] In den Ausführungsbeispielen sind die einander entsprechenden Bauteile mit gleichen Bezeichnungen bezeichnet.

[0019] Gemäß Fig. 1 umfaßt das erste Ausführungsbeispiel der Erfindung eine Stromspiegelanordnung S mit einem Meßwiderstand R<sub>m</sub>, zwei Spiegeltransistoren T<sub>1</sub>, T<sub>2</sub>, zwei Gegenkopplungswiderständen R<sub>1</sub>, R<sub>2</sub>, einem Offsetwiderstand R<sub>3</sub>, einem Stromquellentransistor T<sub>0</sub> und einem Emitterwiderstand R<sub>0</sub> sowie einen Ausgangstransistor T<sub>3</sub> und einen Ausgangswiderstand R<sub>4</sub>. Der Meßwiderstand R<sub>m</sub> ist über seine Anschlüsse A<sub>1</sub>, A<sub>2</sub> in den Strompfad des zu messenden Meßstroms im geschaltet. Des weiteren ist der erste Anschluß A<sub>1</sub> des Meßwiderstands R<sub>m</sub> über den er-

sten Gegenkopplungswiderstand R1 mit dem Emitteranschluß des ersten Spiegeltransistors T1 verbunden, der zweite Anschluß A2 des Meßwiderstands Rm über den zweiten Gegenkopplungswiderstand R2 mit dem Emitteranschluß des zweiten Spiegeltransistors T2 verbunden, der Basisanschluß des ersten Spiegeltransistors T1 mit einem ersten Schaltungsknoten K1 verbunden, der Basisanschluß des zweiten Spiegeltransistors T2 mit dem Kollektoranschluß des ersten Spiegeltransistors T1 verbunden, der Kollektoranschluß des ersten Spiegeltransistors T1 über den Offsetwiderstand R3 mit dem ersten Schaltungsknoten K1 verbunden, der erste Schaltungsknoten K1 mit dem Kollektoranschluß des Stromquellentransistors T0 verbunden, der Emitteranschluß des Stromquellentransistors T0 über den Emitterwiderstand R0 mit einem auf Bezugspotential liegenden Bezugspotentialanschluß M verbunden, der Kollektoranschluß des zweiten Spiegeltransistors T2 über die Emitter-Kollektor-Strecke des Ausgangstransistors T3 mit dem Ausgangsanschluß A3 verbunden, der Ausgangsanschluß A3 über den Ausgangswiderstand R4 mit dem Bezugspotentialanschluß M verbünden und die Basisanschlüsse des Ausgangstransistors T3 und des Stromquellentransistors T0 mit einem Anschluß verbunden, dem eine Referenzspannung Uref zugeführt wird. Am Ausgangsanschluß A3 steht dabei die Ausgangsspannung Ua an, die das Ergebnis der Strommessung oder Stromdetektion repräsentiert.

[0020] Der Stromquellentransistor T0 fungiert zusammen mit dem Emitterwiderstand R0 als Referenzstromquelle, die einen durch den ersten Spiegeltransistor T1 fließenden konstanten Referenzstrom IC1 erzeugt. Der Referenzstrom IC1 wird dabei durch den Wert der Referenzspannung Uref derart vorgegeben, daß er wesentlich kleiner ist als der zu messende Meßstrom Im. Der Meßstrom Im wird dann durch die Messung nur unwesentlich beeinflußt.

[0021] Der Referenzstrom IC1 wird durch die Stromspiegelanordnung S nach Maßgabe eines Spiegelverhältnisses in den durch den zweiten Spiegeltransistor T2 fließenden Spiegelstrom IC2 umgesetzt. Das Spiegelverhältnis ist dabei von dem Spannungsabfall zwischen den Emitteranschlüssen der Spiegeltransistoren T1, T2 und damit von der am Meßwiderstand Rm abfallenden Meßspannung Um abhängig. Die Meßspannung Um ist ihrerseits vom Meßstrom Im abhängig, so daß der Spiegelstrom IC2 und folglich auch die Ausgangsspannung Ua eine Funktion des Meßstroms Im ist. Der Meßstrom Im kann daher durch Auswertung der Ausgangsspannung Ua ermittelt werden.

[0022] Die Spiegeltransistoren T1, T2 sind gematchte Transistoren, d. h. sie sind gleich ausgeführt und derart ausgewählt, daß sie gleiche Eigenschaften aufweisen. Die Gegenkopplungswiderstände R1, R2 sind ebenfalls gleich ausgeführt. Sie bewirken durch Stromgegenkopplung eine Linearisierung der den Zusammenhang zwischen dem Meßstrom Im und dem Ausgangsspannung Ua darstellenden Ausgangskennlinie Ua (Im). Diese entspricht näherungsweise der Gleichung

$$Ua(Im) \approx Im \cdot Rm \cdot R4/R2 + Uoff,$$

wobei Im für den Wert es Meßstroms Im steht, Rm für den Wert des Meßwidersands Rm steht, R4 für den Wert des Ausgangswiderstands R4 steht, R2 für den Wert des zweiten Gegenkopplungswiderstands R2 steht und Uoff für einen Offset, d. h. eine Nullpunktverschiebung der Ausgangsspannung Ua steht.

[0023] Der Offset Uoff wird durch die Dimensionierung des Offsetwiderstands R3 auf einen gewünschten Wert eingestellt. Der Offsetwiderstand R3 wird dabei derart gewählt,

daß an ihm eine Spannung U3 abfällt, die kleiner ist als 0,2 V. Durch Erhöhung dieser Spannung U3 wird das Basispotential des ersten Spiegeltransistors T1 zu negativen Werten verschoben, so daß der erste Spiegeltransistor T1 stärker als der zweite Spiegeltransistor T2 aufgesteuert wird und damit der Offset Uoff reduziert wird.

[0024] Die Steilheit der Ausgangskennlinie Ua (Im) wird durch die Dimensionierung des Meßwiderstands Rm, des zweiten Gegenkopplungswiderstands R2 und des Ausgangswiderstands R4 vorgegeben. Bei einem hohen Steilheitswert wird die Schaltungsanordnung als Komparator betrieben und dient damit der Stromdetektion. Beim Komparatorbetrieb ist die Schaltschwelle der Schaltungsanordnung vom Offset Uoff abhängig und kann daher durch die Wahl des Offsetwiderstands R3 auf einen gewünschten Wert eingestellt werden. Bei einem geringen Steilheitswert wird die Schaltungsanordnung hingegen als "linearer" Strom-Spannungs-Wandler betrieben, der lediglich einen geringen Linearitätsfehler aufweist und damit zur Strommessung einsetzbar ist.

[0025] Die Ausgangsspannung Ua wird durch den Ausgangstransistor T3 auf einen der Referenzspannung Uref entsprechenden Maximalwert begrenzt. Damit wird sicher gestellt, daß eine an den Ausgangsanschluß A3 angeschlossene Auswerteschaltung nicht übersteuert wird. Durch den Ausgangstransistor T3 wird des weiteren der Millereffekt des zweiten Spiegeltransistors T2 reduziert, was sich vorteilhaft auf die Reaktionsgeschwindigkeit der Schaltungsanordnung auswirkt.

[0026] Die Schaltungsanordnung läßt sich auf einfache Weise deaktivieren, indem der Stromquellentransistor T0 durch Umschaltung der Referenzspannung Uref stromlos geschaltet wird.

[0027] Gemäß Fig. 2 unterscheidet sich das zweite Ausführungsbeispiel vom ersten Ausführungsbeispiel dadurch, daß der Basisanschluß des Ausgangstransistors T3 nunmehr an einem zweiten Schaltungsknoten K2 mit dem Kollektoranschluß des Stromquellentransistors T0 verbunden ist und daß der zweite Schaltungsknoten K2 über einen Steuerwiderstand R5 mit dem ersten Schaltungsknoten K1 verbunden ist. Die Schaltungsanordnung kann des weiteren eine Diode D zur Begrenzung der Ausgangsspannung Ua aufweisen, über die die Ausgangsanschluß A3 mit dem Basisanschluß des Stromquellentransistors T0 verbunden ist.

[0028] Durch den Steuerwiderstand R5 wird das Basispotential des Ausgangstransistors T3 gesteuert. Sein Wert wird derart gewählt, daß an den beiden Spiegeltransistoren T1, T2 nahezu die gleiche Kollektor-Emitter-Spannung abfällt. Durch diese Maßnahme erreicht man, daß der Spiegelstrom IC2 eine geringere Empfindlichkeit gegenüber Schwankungen der an den Anschlüssen A1, A2 anstehenden Spannungen aufweist als im Falle des ersten Ausführungsbeispiels. Das zweite Ausführungsbeispiel weist daher eine bessere Gleichtaktunterdrückung auf als das erste Ausführungsbeispiel.

[0029] Gemäß Fig. 3 unterscheidet sich das dritte Ausführungsbeispiel sich von dem in Fig. 2 gezeigten zweiten Ausführungsbeispiel dadurch, daß sie als Offsetsteinstellmittel eine Offsetstromquelle T7 aufweist, die den Ausgangsanschluß A3 mit einem Offsetstrom Ioff belastet und damit den Offset Uoff der Ausgangsspannung Ua bestimmt. Der Offsetwiderstand R3 wird in diesem Fall nicht mehr benötigt. Die Kollektoranschlüsse der Spiegeltransistoren T1, T2 und der Basisanschluß des ersten Spiegeltransistors T1 sind daher allesamt am ersten Schaltungsknoten K1 miteinander verbunden, so daß die Kollektor-Emitter-Spannung und die Basis-Emitter-Spannung des ersten Spiegeltransistors T1 gleich sind. Durch diese Beschaltung des ersten Spiegeltran-

sistors T1 wird der Linearitätsfehler und die Temperaturabhängigkeit der Schaltungsanordnung gegenüber dem zweiten Ausführungsbeispiel reduziert.

[0030] Die Offsetstromquelle T7 ist vorteilhafterweise als zusätzliche Stromspiegelanordnung S1 ausgeführt. Diese zusätzliche Stromspiegelanordnung S1 weist zwei Transistoren T6 und T7 sowie einen Widerstand R6 auf, wobei die Emitteranschlüsse der Transistoren T6, T7 mit dem Bezugspotentialanschluß M verbunden sind, die Basisanschlüsse der Transistoren T6, T7, mit dem Kollektoranschluß des Transistors T6 und über den Widerstand R6 mit dem Basisanschluß des Stromquellentransistors T0 verbunden sind und der Kollektoranschluß des Transistors T7 mit dem Ausgangsanschluß A3 verbunden ist. Der Offsetstrom Ioff wird somit durch den Wert des Widerstands R6 und der Referenzspannung Uref vorgegeben. Selbstverständlich ist es denkbar, den Widerstand R6 statt an den Basisanschluß des Stromquellentransistors T0 an einem Stromsteueranschluß anzuschließen und diesem Stromsteueranschluß eine den Offsetstrom Ioff bestimmende Steuerspannung zuzuführen. Die weitere Stromspiegelanordnung S1 stellt in diesem Fall eine steuerbare Stromquelle dar, deren Strom Ioff unabhängig von der Referenzspannung Uref gesteuert werden kann. Bei einem Betrieb als Komparator läßt sich die Schaltschwelle der Schaltungsanordnung somit bedarfsabhängig durch die Steuerspannung einstellen.

#### Patentansprüche

1. Schaltungsanordnung zur Strommessung oder Stromdetektion mit einer ersten und einer zweiten Spiegeltransistor (T1, T2) aufweisenden Stromspiegelanordnung (S), die einen durch den ersten Spiegeltransistor (T1) fließenden Referenzstrom (IC1) in einen durch den zweiten Spiegeltransistor (T2) fließenden Spiegelstrom (IC2) umsetzt und die in einem die Steuerstrecken der Spiegeltransistoren (T1, T2) umfassenden Stromkreis einen den Spiegelstrom (IC2) beeinflussenden Meßwiderstand (Rm) aufweist, über den ein zu messender oder zu detektierender Meßstrom (Im) geführt wird, dadurch gekennzeichnet, daß ein Ausgangstransistor (T3) vorgesehen ist, der zum zweiten Spiegeltransistor (T2) in Kaskodenschaltung in Reihe geschaltet ist, und daß an einem Ausgangsanschluß (A3) der Kaskodenschaltung eine Ausgangsspannung (Ua) als Ergebnis der Strommessung oder Stromdetektion ansteht.
2. Schaltungsanordnung nach Anspruch 1, dadurch gekennzeichnet, daß Offseteinstellmittel zur Vorgabe eines Offsets der Ausgangsspannung (Ua) vorgesehen sind.
3. Schaltungsanordnung nach Anspruch 2, dadurch gekennzeichnet, daß die Offseteinstellmittel einen im Strompfad des Referenzstroms (IC1) liegenden Offsetwiderstand (R3) umfassen, an dem eine Spannung ansteht, die bewirkt, daß der erste Spiegeltransistor (T1) stärker aufgesteuert ist als der zweite Spiegeltransistor (T2).
4. Schaltungsanordnung nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die Offseteinstellmittel eine mit dem Ausgangsanschluß (A3) verbundene Offsetstromquelle (T7) umfassen.
5. Schaltungsanordnung nach Anspruch 4, dadurch gekennzeichnet, daß die Offsetstromquelle (T7) steuerbar ist.
6. Schaltungsanordnung nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß im Strompfad des Referenzstroms (IC1) ein Steuerwiderstand

(R5) vorgesehen ist, über den der Steueranschluß des Ausgangstransistors (T3) mit dem Steueranschluß des ersten Spiegeltransistors (T1) verbunden ist.

7. Schaltungsanordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß am Steueranschluß des Ausgangstransistors (T3) auf eine konstante Referenzspannung (Uref) anliegt.
8. Schaltungsanordnung nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß der Ausgangsanschluß (A3) über einen Ausgangswiderstand (R4) mit einem Bezugspotentialanschluß (M) verbunden ist.
9. Schaltungsanordnung nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Spiegeltransistoren (T1, T2) gleich ausgeführt sind.
10. Schaltungsanordnung nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Spiegeltransistoren (T1, T2) emitterseitig oder sourceseitig jeweils mit einem Anschluß (A1, A2) des Meßwiderstands (Rm) verbunden sind.
11. Schaltungsanordnung nach Anspruch 10, dadurch gekennzeichnet, daß zwei Gegenkopplungswiderstände (R1, R2) zur Stromgegenkopplung der Spiegeltransistoren (T1, T2) vorgesehen sind.
12. Schaltungsanordnung nach Anspruch 11, dadurch gekennzeichnet, daß die Gegenkopplungswiderstände (R1, R2) gleich ausgeführt sind.
13. Schaltungsanordnung nach einem der vorherigen Ansprüche, dadurch gekennzeichnet, daß die Spiegeltransistoren (T1, T2) und der Ausgangstransistor (T3) als Bipolartransistoren ausgeführt sind.
14. Verwendung der Schaltungsanordnung nach einem der vorherigen Ansprüche zur Messung von Strömen in Versorgungsleitungen.

---

Hierzu 2 Seite(n) Zeichnungen

---

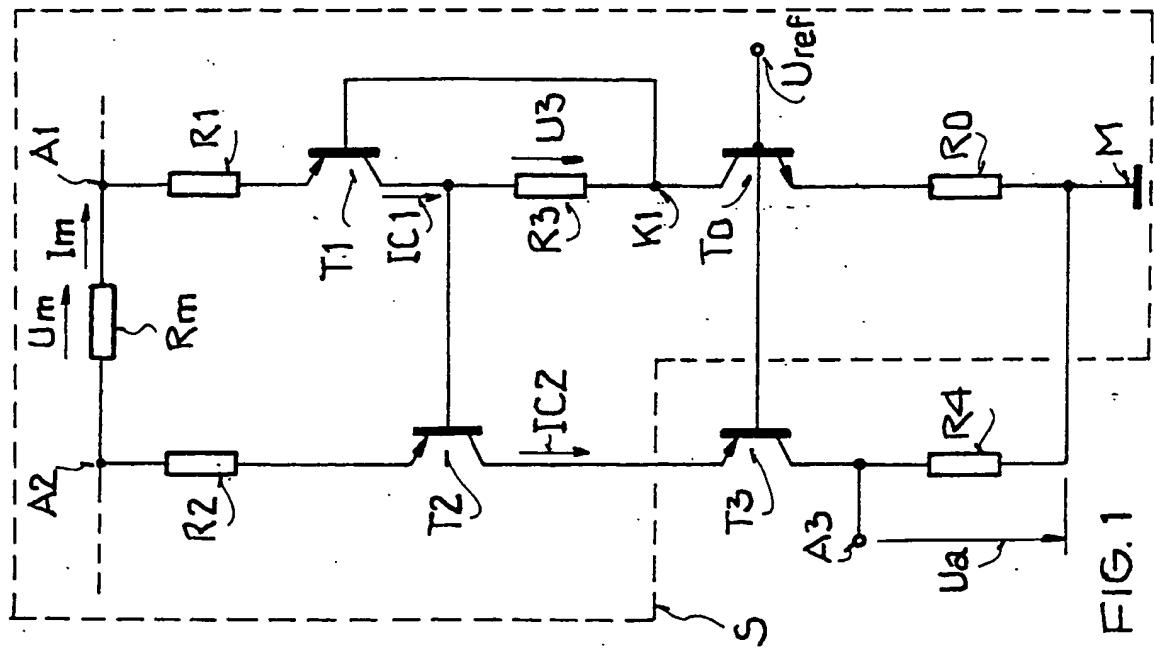
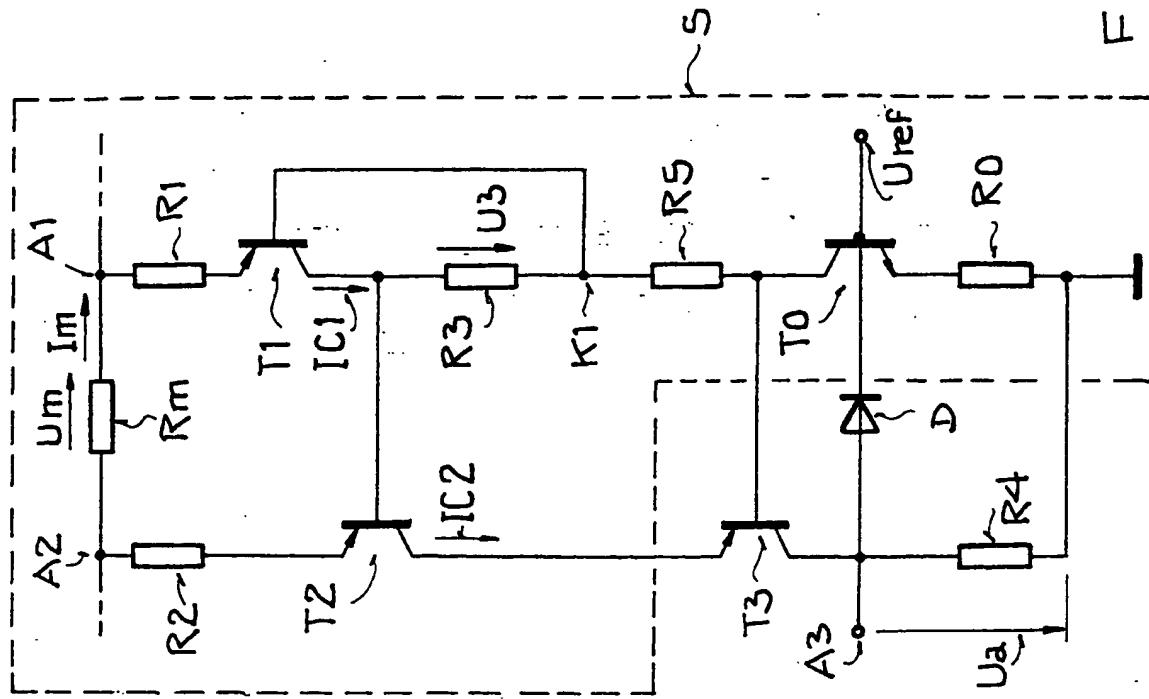


FIG. 3

